



# BR8223 数据手册

版本 1.01

## 销售与技术支持

江苏邦融微电子有限公司

地 址：江苏省昆山市祖冲之南路1699号9层

办事处：深圳市龙华新区民治大道东边商务大楼1216

网 址：www.brmicro.com.cn

昆山

总机：0512-36607973

传真：0512-36607972

深圳

总机：0755-82599958

传真：0755-82599958-808

销售

电话：0755-82599958-818

Email: jerry@brmicro.com.cn

技术支持

电话：0755-82599958-616

Email: lijian@brmicro.com.cn

## 版本历史

版本	日期	修改内容		
		章节	页码	内容
V1.00				初始版本。
V1.01				增加工作电流

## 目录

版本历史.....	II
目录.....	III
附图目录.....	V
表格目录.....	VI
缩写与术语.....	VII
1 介绍.....	1
2 主要特性.....	2
3 封装和引脚.....	4
3.1 封装形式.....	4
3.2 引脚分布图.....	4
3.3 引脚列表.....	5
4 功能描述.....	12
4.1 存储器.....	12
4.1.1 概述.....	12
4.1.2 存储器映射.....	12
4.2 中断.....	14
4.3 JTAG 调试接口.....	16
4.4 引导模式.....	17
4.5 系统控制模块(SCM).....	18
4.6 通用输入输出控制(GPIO).....	19
4.7 定时器.....	20
4.8 USART.....	21
4.8.1 SPI.....	21
4.8.2 I2C.....	21
4.8.3 UART.....	22
4.9 USB OTG 接口.....	23
4.10 串行 FLASH 控制器接口.....	24
4.11 CMOS 光学传感器接口.....	25
4.12 PWM 模块.....	26
4.13 异步并行口(APP).....	27
4.14 SDRAM 控制器.....	28
4.15 随机数发生器(RNG).....	29
5 电气参数.....	30
5.1 极限电气参数.....	30
5.2 推荐运行参数.....	31
5.3 直流电气参数.....	32
5.4 工作电流.....	33
5.5 片上振荡器.....	34
5.6 PLL.....	35
5.7 POR.....	36

---

5.8 LDO18.....	37
6 机械参数.....	38

## 附图目录

图 3-1 BR8223 封装形式.....	4
图 3-2 BR8223 引脚分布图.....	5
图 6-1 BR8223 封装尺寸图.....	38

## 表格目录

表 3-1 BR8223 引脚列表.....	5
表 4-1 BR8223 存储空间分配.....	12
表 4-2 BR8223 外设控制器存储空间分配.....	12
表 4-3 BR8223 处理器中断分配表.....	15
表 4-4 BR8223 引导模式.....	17
表 5-1 BR8223 极限电气参数.....	30
表 5-2 BR8223 推荐运行电气参数.....	31
表 5-3 BR8223 直流电气参数.....	32
表 5-4 BR8223 工作电流.....	33
表 5-5 片上振荡器电气参数.....	34
表 5-6 PLL 电气参数.....	35
表 5-7 POR 电气参数.....	36
表 5-8 LDO18 电气参数.....	37

## 缩写与术语

RSA: Rivest Shamir Adlemen RSA 公钥算法

TRNG: True Random Number Generator 真随机数发生器

JTAG: Joint Test Action Group 边界测试扫描接口

SCM: System Control Module 系统控制模块

GPIO: General Purpose Input/Output 通用输入输出接口

USART: Universal Synchronous/Asynchronous Receiver/Transmitter 通用同步/异步收发器

SPI: Serial Peripheral Interface 串行外设接口

I2C: Inter-integrated Circuit

UART: Universal Asynchronous Receiver/Transmitter 通用异步收发器

USB: Universal Serial Bus 通用串行总线

APP: Asynchronous Parallel Port Controller 异步并行接口控制器



## 1 介绍

BR8223 是一款针对嵌入式应用领域的32位处理器，主要面向各种通用应用领域。该芯片具有低成本、高性能、外设丰富，可靠性好的特点；基于该芯片产品设计者可以快速的设计出符合市场需要的产品。

BR8223是采用LQFP100-14x14的封装形式，工作频率可以由软件在0至最高频率中间动态调节，典型工作频率144MHz。该芯片采用高性能32位RISC处理器内核，支持JTAG在线调试，内嵌128KB SRAM；接口方面，BR8223几乎每个功能管脚都可以用作GPIO，最多可以提供79个GPIO功能，同时支持2路 USB 2.0 FS Host/Device接口、高速串行FLASH接口、SDRAM/SRAM/并行FLASH、16位异步并口、光学CMOS传感器专用接口、SPI、UART、I2C、3通道PWM等外围接口，可以很好的满足各种应用场合。

BR8223 采用 3.3V 单电源供电，内嵌一个输出电流达 150mA 的 3.3V 至 1.8V LDO。

## 2 主要特性

- ◇ 32 位 RISC 处理器内核
  - 8KB 两路组相连指令 Cache, 支持 Cache Lock 功能
  - 4KB 两路组相连数据 Cache, 支持 Cache Lock 功能
  - IEEE 1149.1 兼容 JTAG 调试接口
  - 多种 DSP 专用指令
  - 2 个带 WDT 功能的 32 位定时器/计数器
  - 4 个硬件断点
  - 64 位除法指令
  - 双 16 位乘加单元
- ◇ 典型工作频率
  - 144 Mhz
- ◇ 片上存储器
  - ROM : 12KB
  - SRAM : 128KB
- ◇ 片外存储器
  - SQI 串行 FLASH : 最大 16M Bytes
  - SDRAM : 最大 16M Bytes
- ◇ 外围器件接口
  - USB 2.0 全速(12Mbps) Host/Device 接口 2 个
  - 3 个可配置为 SPI/I2C/UART 的异步串口
  - 多用途串行 FLASH 接口, 最高 70MHz 时钟频率, 支持单/双/四通道串行 Flash
  - 异步并行接口, 16 位数据, 12 位地址线
  - 3 路 PWM 接口
  - 最多 79 根 GPIO, 每个 GPIO 都可作中断输入, 带可关闭的上拉或者下拉电阻, 可配置成开源/开集工作模式; 软件最高可利用 GPIO 实现 32MHz 的时钟输出@128MHz; 其中 2 个 GPIO 具有独立的中断向量入口
  - 专用 CMOS 光学头接口, 硬件支持隔行隔列采集功能
  - 5V Tolerance IO
- ◇ 电源特性
  - 3.3V 单电源供电
  - 集成 3.3V 至 1.8V LDO, 驱动电流达 150mA

## ◇ 其他特点

- DMA 支持，DMA 数据可以通过 Cache
- 硬件支持 DES/AES, RSA/ECC 运算
- 真随机数生成器
- 带密码保护功能的 WDT
- 可在外接串行 FLASH 上直接运行程序
- 串行 FLASH 数据可加密存储，密码用户可配置
- 硬件 JTAG 锁定功能
- 片上 POR 功能
- 片内 PLL，支持动态频率切换
- 工作频率可动态调节，0~500MHz
- 使用 10M~20M 晶振时钟源，典型 12M
- 不同级别的休眠模式及唤醒功能
- 可编程的时钟分频输出（CLOCKOUT）
- 各个中断可单独屏蔽
- 各个外设时钟可单独关断，可单独使用软件进行复位

### 3 封装和引脚

#### 3.1 封装形式

BR8223 芯片的封装采用 LQFP100 形式，具体封装形式如图 3-1 所示。

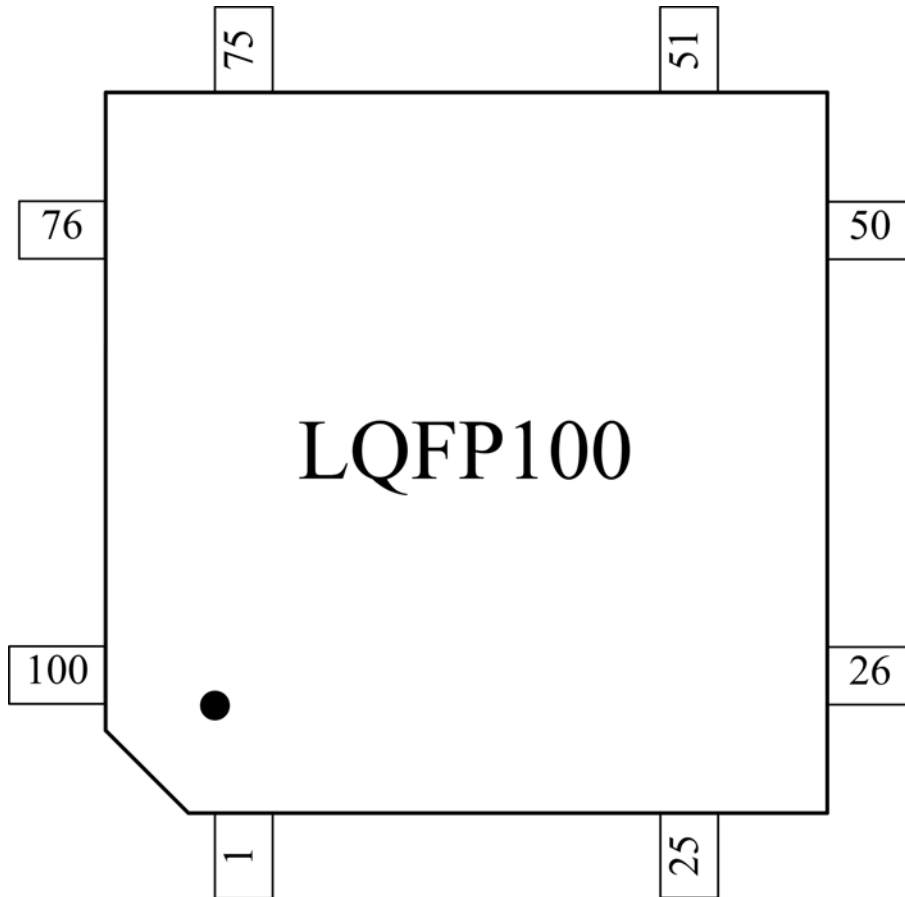


图 3-1 BR8223 封装形式

#### 3.2 引脚分布图

BR8223 各个引脚的分布如 图 3-2 所示。

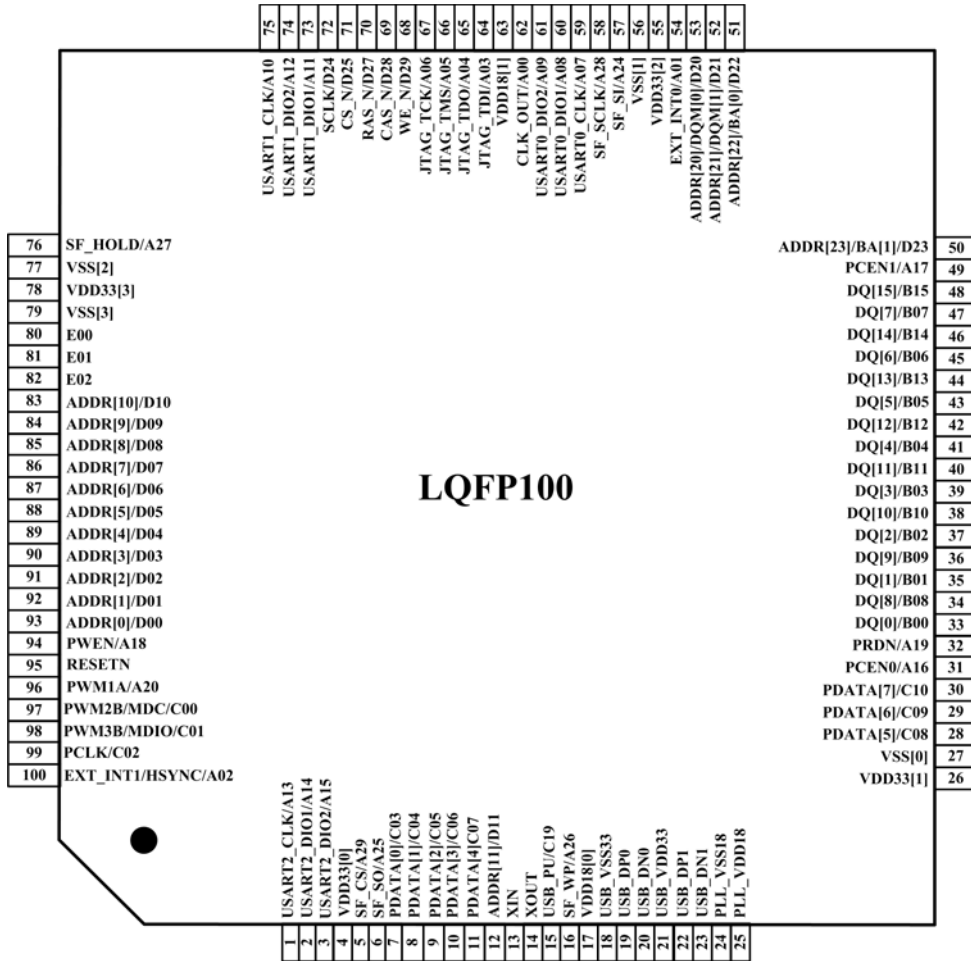


图 3-2 BR8223 引脚分布图

### 3.3 引脚列表

BR8223 芯片各引脚的说明见表 3-1。

表 3-1 BR8223 引脚列表

引脚号	引脚名	类型	描述
全局信号			
13	XIN	I	外部晶体输入引脚
14	XOUT	O	外部晶体输出引脚
95	RESETN	I	外部复位引脚，低电平有效
62	CLK_OUT/A00	O	可配置的时钟输出引脚
		I/O	通用输入输出端口 A00
54	EXT_INT0/A01	I	外部中断引脚0，具有独立的中断向量入口
		I/O	通用输入输出端口 A01
80	E00	I	ROM启动模式选择脚2，详细参见启动模式选择章节
		I/O	通用输入输出端口 E00
81	E01	I	ROM启动模式选择脚1，详细参见启动模式选择章节

引脚号	引脚名	类型	描述
		I/O	通用输入输出端口 E01
82	E02	I	ROM启动模式选择脚0, 详细参见启动模式选择章节
		I/O	通用输入输出端口 E02
电源信号			
17	VDD18[0]	P	1.8V电源输出, 外接4.7uF电容
63	VDD18[1]	P	1.8V电源输入, 板级与VDD18[0]相连
4	VDD33[0]	P	3.3V电源输入, 板级连接3.3V电源
26	VDD33[1]	P	3.3V电源输入, 用作内部3.3V至1.8V LDO 的输入, 此管脚需要外接一个10 uF和1个 0.01 uF的电容
55	VDD33[2]	P	3.3V电源输入, 板级连接3.3V电源
78	VDD33[3]	P	3.3V电源输入, 板级连接3.3V电源
27	VSS[0]	G	芯片3.3V和1.8V的地
56	VSS[1]	G	芯片3.3V和1.8V的地
77	VSS[2]	G	芯片3.3V和1.8V的地
79	VSS[3]	G	芯片3.3V和1.8V的地
21	USB_VDD33	P	USB 使用的3.3V电源, 板级连接3.3V电源
18	USB_VSS33	G	USB 使用的地, 板级连接系统地
25	PLL_VDD18	P	片内PLL使用的1.8V电源, 板级与VDD18[0]相连
24	PLL_VSS18	G	片内PLL使用的地, 板级与系统的地相连
JTAG 调试接口			
64	JTAG_TDI/A03	I	JTAG测试数据输入
		I/O	通用输入输出端口 A03
65	JTAG_TDO/A04	O	JTAG测试数据输出
		I/O	通用输入输出端口 A04
66	JTAG_TMS/A05	I	JTAG测试模式输入
		I/O	通用输入输出端口 A05
67	JTAG_TCK/A06	I	JTAG测试时钟输入
		I/O	通用输入输出端口 A06
USB 接口			
19	USB_DP0	I/O	USB #0 差分数据线D+
20	USB_DN0	I/O	USB #0 差分数据线D-
22	USB_DP1	I/O	USB #1 差分数据线D+
23	USB_DN1	I/O	USB #1 差分数据线D-
15	USB_PU/C19	O	USB 上拉使能, 控制外部1.5K上拉电阻
		I/O	通用输入输出端口 C19
串行 FLASH 接口			
57	SF_SI/A24	I/O	串行FLASH数据输入(单通道SI, 双/四通道IO0)
		I/O	通用输入输出端口 A24
6	SF_SO/A25	I/O	串行FLASH数据输出(单通道SO, 双/四通道IO1)
		I/O	通用输入输出端口 A25
16	SF_WP/A26	I/O	串行FLASH写保护(单/双通道WP#, 四通道IO2)
		I/O	通用输入输出端口 A26

引脚号	引脚名	类型	描述
76	SF_HOLD/A27	I/O	串行FLASH暂停(单/双通道HOLD#, 四通道IO3)
		I/O	通用输入输出端口 A27
58	SF_SCLK/A28	O	串行FLASH时钟(SCLK)
		I/O	通用输入输出端口 A28
5	SF_CS/A29	O	串行FLASH片选(CS#)
		I/O	通用输入输出端口 A29
USART 串行接口 0			
59	USART0_CLK/A07	I/O	SPI主时钟输出/从时钟输入(SPI_CLK)
		I/O	I2C主时钟输出/从时钟输入(I2C_SCL)
		I/O	通用输入输出端口 A07
60	USART0_DIO1/A08	I/O	SPI主数据输入/从数据输出(SPI_MISO)
		I/O	I2C数据线(I2C_SDA)
		I	UART 接收数据(UART_RXD)
		I/O	通用输入输出端口 A08
61	USART0_DIO2/A09	I/O	SPI主数据输出/从数据输入(SPI_MOSI)
		O	UART 发送数据(UART_TXD)
		I/O	通用输入输出端口 A09
USART 串行接口 1			
75	USART1_CLK/A10	I/O	SPI主时钟输出/从时钟输入(SPI_CLK)
		I/O	I2C主时钟输出/从时钟输入(I2C_SCL)
		I/O	通用输入输出端口 A10
73	USART1_DIO1/A11	I/O	SPI主数据输入/从数据输出(SPI_MISO)
		I/O	I2C数据线(I2C_SDA)
		I	UART 接收数据(UART_RXD)
		I/O	通用输入输出端口 A11
74	USART1_DIO2/A12	I/O	SPI主数据输出/从数据输入(SPI_MOSI)
		O	UART 发送数据(UART_TXD)
		I/O	通用输入输出端口 A12
USART 串行接口 2			
1	USART2_CLK/A13	I/O	SPI主时钟输出/从时钟输入(SPI_CLK)
		I/O	I2C主时钟输出/从时钟输入(I2C_SCL)
		I/O	通用输入输出端口 A13
2	USART2_DIO1/A14	I/O	SPI主数据输入/从数据输出(SPI_MISO)
		I/O	I2C数据线(I2C_SDA)
		I	UART 接收数据(UART_RXD)
		I/O	通用输入输出端口 A14
3	USART2_DIO2/A15	I/O	SPI主数据输出/从数据输入(SPI_MOSI)
		O	UART 发送数据(UART_TXD)
		I/O	通用输入输出端口 A15
PWM接口			
96	PWM1A/A20	I/O	PWM通道1输出A
		I/O	通用输入输出端口 A20

引脚号	引脚名	类型	描述
97	PWM2B/C00	I/O	PWM通道2输出B
		I/O	通用输入输出端口 C00
98	PWM3B/C01	I/O	PWM通道3输出B
		I/O	通用输入输出端口 C01
CMOS光学传感器			
99	PCLK/C02	I	CMOS 接口 PCLK 引脚
		I/O	通用输入输出端口 C02
100	EXT_INT1/HSYNC/A02	I	外部中断引脚1, 具有独立的中断向量入口
		I	CMOS接口的HSYNC功能引脚
		I/O	通用输入输出端口 A02
7	PDATA[0]/C03	I	CMOS 接口 PDATA[0] 引脚
		I/O	通用输入输出端口 C03
8	PDATA[1]/C04	I	CMOS 接口 PDATA[1] 引脚
		I/O	通用输入输出端口 C04
9	PDATA[2]/C05	I	CMOS 接口 PDATA[2] 引脚
		I/O	通用输入输出端口 C05
10	PDATA[3]/C06	I	CMOS 接口 PDATA[3] 引脚
		I/O	通用输入输出端口 C06
11	PDATA[4]/C07	I	CMOS 接口 PDATA[4] 引脚
		I/O	通用输入输出端口 C07
28	PDATA[5]/C08	I	CMOS 接口 PDATA[5] 引脚
		I/O	通用输入输出端口 C08
29	PDATA[6]/C09	I	CMOS 接口 PDATA[6] 引脚
		I/O	通用输入输出端口 C09
30	PDATA[7]/C10	I	CMOS 接口 PDATA[7] 引脚
		I/O	通用输入输出端口 C10
异步并行口(APP)/ SDRAM接口(SDR)			
31	PCEN0/A16	O	APP 接口片选信号0
		I/O	通用输入输出端口 A16
49	PCEN1/A17	O	APP 接口片选信号1
		I/O	通用输入输出端口 A17
94	PWEN/A18	O	APP 接口写使能信号
		I/O	通用输入输出端口 A18
32	PRDN/A19	O	APP 接口读使能信号
		I/O	通用输入输出端口 A19
48	DQ[15]/B15	I/O	APP 数据总线 DQ[15]
		I/O	SDR 数据总线 DQ[15]
		I/O	通用输入输出端口 B15
46	DQ[14]/B14	I/O	APP 数据总线 DQ[14]
		I/O	SDR 数据总线 DQ[14]
		I/O	通用输入输出端口 B14
44	DQ[13]/B13	I/O	APP 数据总线 DQ[13]



引脚号	引脚名	类型	描述
		I/O	SDR 数据总线 DQ[13]
		I/O	通用输入输出端口 B13
42	DQ[12]/B12	I/O	APP 数据总线 DQ[12]
		I/O	SDR 数据总线 DQ[12]
		I/O	通用输入输出端口 B12
40	DQ[11]/B11	I/O	APP 数据总线 DQ[11]
		I/O	SDR 数据总线 DQ[11]
		I/O	通用输入输出端口 B11
38	DQ[10]/B10	I/O	APP 数据总线 DQ[10]
		I/O	SDR 数据总线 DQ[10]
		I/O	通用输入输出端口 B10
36	DQ[9]/B09	I/O	APP 数据总线 DQ[9]
		I/O	SDR 数据总线 DQ[9]
		I/O	通用输入输出端口 B09
34	DQ[8]/B08	I/O	APP 数据总线 DQ[8]
		I/O	SDR 数据总线 DQ[8]
		I/O	通用输入输出端口 B08
47	DQ[7]/B07	I/O	APP 数据总线 DQ[7]
		I/O	SDR 数据总线 DQ[7]
		I/O	通用输入输出端口 B07
45	DQ[6]/B06	I/O	APP 数据总线 DQ[6]
		I/O	SDR 数据总线 DQ[6]
		I/O	通用输入输出端口 B06
43	DQ[5]/B05	I/O	APP 数据总线 DQ[5]
		I/O	SDR 数据总线 DQ[5]
		I/O	通用输入输出端口 B05
41	DQ[4]/B04	I/O	APP 数据总线 DQ[4]
		I/O	SDR 数据总线 DQ[4]
		I/O	通用输入输出端口 B04
39	DQ[3]/B03	I/O	APP 数据总线 DQ[3]
		I/O	SDR 数据总线 DQ[3]
		I/O	通用输入输出端口 B03
37	DQ[2]/B02	I/O	APP 数据总线 DQ[2]
		I/O	SDR 数据总线 DQ[2]
		I/O	通用输入输出端口 B02
35	DQ[1]/B01	I/O	APP 数据总线 DQ[1]
		I/O	SDR 数据总线 DQ[1]
		I/O	通用输入输出端口 B01
33	DQ[0]/B00	I/O	APP 数据总线 DQ[0]
		I/O	SDR 数据总线 DQ[0]
		I/O	通用输入输出端口 B00

引脚号	引脚名	类型	描述
50	ADDR[23]/BA[1]/D23	O	APP 地址总线 ADDR[23]
		O	SDR Bank 选择总线 BA[1]
		I/O	通用输入输出端口 D23
51	ADDR[22]/BA[0]/D22	O	APP 地址总线 ADDR[22]
		O	SDR Bank 选择总线 BA[0]
		I/O	通用输入输出端口 D22
52	ADDR[21]/DQM[1]/D21	O	APP 地址总线 ADDR[21]
		O	SDR DQM[1] 引脚
		I/O	通用输入输出端口 D21
53	ADDR[20]/DQM[0]/D20	O	APP 地址总线 ADDR[20]
		O	SDR DQM[0] 引脚
		I/O	通用输入输出端口 D20
12	ADDR[11]/D11	O	APP 地址总线ADDR[11]
		O	SDR 地址总线ADDR[11]
		I/O	通用输入输出端口 D11
83	ADDR[10]/D10	O	APP 地址总线ADDR[10]
		O	SDR 地址总线ADDR[10]
		I/O	通用输入输出端口 D10
84	ADDR[9]/D09	O	APP 地址总线ADDR[9]
		O	SDR 地址总线ADDR[9]
		I/O	通用输入输出端口 D09
85	ADDR[8]/D08	O	APP 地址总线ADDR[8]
		O	SDR 地址总线ADDR[8]
		I/O	通用输入输出端口 D08
86	ADDR[7]/D07	O	APP 地址总线ADDR[7]
		O	SDR 地址总线ADDR[7]
		I/O	通用输入输出端口 D07
87	ADDR[6]/D06	O	APP 地址总线ADDR[6]
		O	SDR 地址总线ADDR[6]
		I/O	通用输入输出端口 D06
88	ADDR[5]/D05	O	APP 地址总线ADDR[5]
		O	SDR 地址总线ADDR[5]
		I/O	通用输入输出端口 D05
89	ADDR[4]/D04	O	APP 地址总线ADDR[4]
		O	SDR 地址总线ADDR[4]
		I/O	通用输入输出端口 D04
90	ADDR[3]/D03	O	APP 地址总线ADDR[3]
		O	SDR 地址总线ADDR[3]
		I/O	通用输入输出端口 D03
91	ADDR[2]/D02	O	APP 地址总线ADDR[2]

引脚号	引脚名	类型	描述
		O	SDR 地址总线ADDR[2]
		I/O	通用输入输出端口 D02
92	ADDR[1]/D01	O	APP 地址总线ADDR[1]
		O	SDR 地址总线ADDR[1]
		I/O	通用输入输出端口 D01
		O	APP 地址总线ADDR[0]
93	ADDR[0]/D00	O	SDR 地址总线ADDR[0]
		I/O	通用输入输出端口 D00
72	SCLK/D24	O	SDR 时钟输出引脚
		I/O	通用输入输出端口 D24
71	CS_N/D25	O	SDR 片选引脚
		I/O	通用输入输出端口 D25
70	RAS_N/D27	O	SDR 行地址选择引脚
		I/O	通用输入输出端口 D27
69	CAS_N/D28	O	SDR 列地址选择引脚
		I/O	通用输入输出端口 D28
68	WE_N/D29	O	SDR 接口写使能引脚
		I/O	通用输入输出端口 D29

## 4 功能描述

### 4.1 存储器

#### 4.1.1 概述

BR8223 最大支持 4G 字节访问空间，主要的存储空间使用如下：

- 128K 字节片内 SRAM
- 12K 字节 ROM
- 通过高速串行 FLASH 接口最大扩展 16M 字节串行 Flash
- 通过 SDRAM 接口最大扩展 16M 字节 SDRAM

#### 4.1.2 存储器映射

BR8223 的存储器映射如表 4-1 所示，在图中未标明的区域都是保留的，访问这些区域的行为是未定义的，用户需要避免访问这些区域。

表 4-1 BR8223 存储空间分配

存储器类型	起始地址	大小
片内ROM	0x0~0x2FFF	12K
异步并口/并行FLASH/SRAM	0x20000000~0x21FFFFFF	32M
SDRAM 存储器	0x40000000~0x40FFFFFF	16M
串行FLASH 存储器	0x80000000~0x80FFFFFF	16M
片内SRAM	0x90000000~0x9001FFFF	128K
外设控制器	0xFC000000~0xFCFFFFFF	16M

其中外设控制器空间 0xFC000000~0xFCFFFFFF 是 BR8223 处理器中用于配置和操作各个外围接口，如 GPIO, USART, 异步并口和 USB 控制器等。在外设控制器中各个外设模块的存储空间分配表 4-2 所示。

表 4-2 BR8223 外设控制器存储空间分配

存储器类型	起始地址	大小
USART 控制器 0	0xFC002000~0xFC002FFF	4K
USART 控制器 1	0xFC003000~0xFC003FFF	4K

USART 控制器 2	0xFC004000~0xFC004FFF	4K
GPIO 控制器	0xFC005000~0xFC005FFF	4K
随机数产生器	0xFC006000~0xFC006FFF	4K
PWM 控制器	0xFC008000~0xFC008FFF	4K
系统配置单元	0xFC009000~0xFC009FFF	4K
异步并口配置接口	0xFC00B000~0xFC00BFFF	4K
SDRAM 控制器配置接口	0xFC00C000~0xFC00CFFF	4K
串行FLASH 控制器配置接口	0xFC00D000~0xFC00DFFF	4K
CMOS 接口控制器	0xFC00F000~0xFC00FFFF	4K
USB Host 控制器	0xFC010000~0xFC010FFF	4K

注：表 4-1 和 表 4-2 中未列出的存储空间为系统所保留，如地址 0x0000\_0300~0x1FFF\_FFFF，用户程序访问这些区域将产生 8192 个周期等待，而不产生任何错误异常。

## 4.2 中断

BR8223 处理器最多支持 32 个中断，它的中断类型包括外部中断(Interrupt)和异常(Exception)两种。异常是在指令执行过程产生的，与指令的执行是同步的，每次程序执行时异常能在同一个位置发生(存储器异常错误可能会异步地发生)；而外部中断是异步的，它们是有外围器件或者芯片外部输入的。

BR8223 的中断系统分成高优先级(H)，中优先级(M)和低优先级(L)三个优先级类别。其中高优先级(H)的中断是系统的异常，包括复位(Reset)、存储器错误(Mem Error)和指令错误(Instruction Error)等；外部中断分成两个 Level 2(中优先级)和 Level 1(低优先级)两个级别。

在 BR8223 的处理器中，除了三个高优先级的异常以外，其余的 29 个都属于外部中断类型，都可以有软件设置成 Level 2 或者 Level 1 两个级别。处于 H 优先级的中断是不可屏蔽的，其余的 29 个外部中断都是可以屏蔽的。用户可以通过设置对应的寄存器完成 3 种类型的中断屏蔽操作：

- 屏蔽所有外部中断
- 单独屏蔽 Level 2 或者 Level 1 的中断
- 单独屏蔽任意一个独立的外部中断

在所有的中断中，H 优先级的中断优先级最高，M 次之，L 优先级的中断具有最低的优先级。另外，在同一个级别(Level 1 或者 Level 2)中，各个外部中断也是优先级顺序的。

简单的讲，除了 IRQ7 在对应的级别中具有最高优先级以外，各个外部中断的优先级是依据其中断号码递增的。比如当所有外部中断处于同一级别时，IRQ3 优先级最低，IRQ7 最高，IRQ31 的优先级仅次于 IRQ7，IRQ8 的优先级高于 IRQ6。

各个中断默认的优先级级别及其在对应的级别内的相对优先级（优先级数字越大，对应优先级越低，如 L26 < L25，M2 < M1）。

用户可以通过对 AUX\_IRQ\_LEV 辅助寄存器的编程可以改变各可屏蔽中断的优先级别，通过 FLAG 指令修改 STATUS 扩展寄存器的 E1 和 E2 位屏蔽 Level 1 或者 Level 2 的中断，通过编程 AUX\_IENABLE 扩展寄存器屏蔽单个外部中断。

当中断发生时，对应的 LINK 寄存器(ILINK1 或 ILINK2)会自动载入中断发生时的程序计数器(PC)值，对应的状态保存寄存器(STATUS32\_L1 或 STATUS32\_L2)也自动保存系统状态寄存器(STATUS32)的值，接着处理器跳转到对应的中断向量表出执行。

BR8223 处理器的中断是通过中断向量表实现的，每个向量表项 8 个字节，可以存放一个跳转到所有存储空间的跳转指令。中断发生时处理器仅跳转到对应的中断向量表处执行，其余处理任务都由软件完成。

INT\_VECTOR\_BASE 扩展寄存器存储了 BR8223 处理器的中断向量表起始地址，用户可以通过修改该寄存器改变中断向量表的基址。

BR8223 使用了 29 个外部中断中的 20 个，用于连接各个外围模块的中断信号。各中断连接的外围模块，默认的中断 Level、相对优先级以及中断向量偏移等信息如表 4-3 所示，其中 Reserved 表示对应的中断保留未用，没有外设中断信号连接。

表 4-3 BR8223 处理器中断分配表

向量	名称 (中断连接)	链接寄存器 (默认值)	优先级 (默认值)	相对优 先级	中断向量 字节偏移
0	Reset	-	H(不可修改)	H1	0x00
1	Memory Error	ILINK2	H(不可修改)	H2	0x08
2	Instruction Error	ILINK2	H(不可修改)	H3	0x10
3	IRQ3(Timer0)	ILINK1	L(Level 1)	L27	0x18
4	IRQ4(USART0)	ILINK1	L(Level 1)	L26	0x20
5	IRQ5(USART1)	ILINK1	L(Level 1)	L25	0x28
6	IRQ6(USART2)	ILINK2	M(Level 2)	M2	0x30
7	IRQ7(Timer1)	ILINK2	M(Level 2)	M1	0x38
8	IRQ8(Reserved)	ILINK1	L(Level 1)	L24	0x40
9	IRQ9(RNG)	ILINK1	L(Level 1)	L23	0x48
10	IRQ10(Reserved)	ILINK1	L(Level 1)	L22	0x50
11	IRQ11(RSA)	ILINK1	L(Level 1)	L21	0x58
12	IRQ12(Reserved)	ILINK1	L(Level 1)	L20	0x60
13	IRQ13(PWM1)	ILINK1	L(Level 1)	L19	0x68
14	IRQ14(EXT_INT0)	ILINK1	L(Level 1)	L18	0x70
15	IRQ15(EXT_INT1)	ILINK1	L(Level 1)	L17	0x78
16	IRQ16(EXT_INT2)	ILINK1	L(Level 1)	L16	0x80
17	IRQ17(GPIO)	ILINK1	L(Level 1)	L15	0x88
18	IRQ18(CMOS)	ILINK1	L(Level 1)	L14	0x90
19	IRQ19(PWM2)	ILINK1	L(Level 1)	L13	0x98
20	IRQ20(PWM3)	ILINK1	L(Level 1)	L12	0xA0
21	IRQ21(USB OTG)	ILINK1	L(Level 1)	L11	0xA8
22	IRQ22(Reserved)	ILINK1	L(Level 1)	L10	0xB0
23	IRQ23(DMA)	ILINK1	L(Level 1)	L9	0xB8
24	IRQ24(Reserved)	ILINK1	L(Level 1)	L8	0xC0
25	IRQ25(ACC)	ILINK1	L(Level 1)	L7	0xC8
26	IRQ26(Reserved)	ILINK1	L(Level 1)	L6	0xD0
27	IRQ27(Reserved)	ILINK1	L(Level 1)	L5	0xD8
28	IRQ28(Reserved)	ILINK1	L(Level 1)	L4	0xE0
29	IRQ29(Reserved)	ILINK1	L(Level 1)	L3	0xE8
30	IRQ30(Reserved)	ILINK1	L(Level 1)	L2	0xF0
31	IRQ31(Reserved)	ILINK1	L(Level 1)	L1	0xF8

## 4.3 JTAG 调试接口

BR8223 片上系统集成了通用调试单元，即 JTAG 接口。JTAG 接口兼容 IEEE STD 1149.1 协议，包含与处理器和存储器系统进行通信的逻辑。JTAG 接口提供了对硬件断点和对无限制软件断点的支持。BR8223 JTAG 调试接口支持硬件关断，用户可以通过设置相关寄存器关闭 JTAG 调试功能。

### 功能特性

- 片上调试，系统内编程
- 4 个硬件断点模块，可以独立的或组合产生硬件断点
- 无限制软件断点



## 4.4 引导模式

BR8223 内嵌 12K 字节 Boot ROM，通过系统上电时 GPIO E[2:0] 的状态以及片外 FLASH 中的 4 个字节编程标志决定引导模式，如表 4-4 所示。

表 4-4 BR8223 引导模式

引导模式	GPIOE[1:0]	编程标志	GPIOE[2]	描述
运行串行 Flash 程序	00	0x1234_5678	--	直接运行串行Flash程序
运行并行 Flash 程序	01	0x1234_5678	--	直接运行并行Flash程序
ISP	00/01	非0x1234_5678	1	使用无驱模式USB ISP在线升级串行Flash
	10	--	1	
	00/01	非0x1234_5678	0	使用有驱模式USB ISP在线升级串行Flash
	10	--	0	
IDLE	11	--	--	空闲模式

## 4.5 系统控制模块(SCM)

BR8223 微控制器的系统控制模块（SCM）是整个芯片的控制核心，用来管理系统及外设模块的工作时钟，复位逻辑以及时钟输出等各项功能。该模块用于配置芯片的 PLL，修改系统的工作频率和模式；用于控制芯片各个模块的时钟使能和软件复位；配置芯片的时钟输出功能；以及控制和检查系统的工作状态等。用户通过编程可实现对系统时钟的动态切换、外设时钟的关断和使能、处理器内核的软件复位、可编程时钟输出、外围模块的软件复位；通过该模块还可以控制芯片的工作状态以及实现芯片功能的配置。

### 功能特性

- 提供灵活的系统时钟和USB时钟配置
- 保证USB 时钟的同时，系统时钟可以在0至最高频率间动态调节
- 可编程系统时钟输出可实现对系统时钟的1-65536分频输出
- 可控外围模块时钟及软件复位，降低系统功耗
- 实现处理器核心的软件复位
- 提供芯片工作状态的检测和配置

## 4.6 通用输入输出控制(GPIO)

BR8223 提供最多 79 个 GPIO 引脚，所有的 GPIO 都可以配置为中断输入（电平检测和边缘检测），通用输入输出(GPIO)引脚 A01 和 A02 具有独立的中断向量入口(分别为 IRQ14~IRQ15)，其余所有 GPIO 共用一个中断向量入口(IRQ17)。每个 GPIO 引脚都可以单独控制，不会影响其他 GPIO 的功能。

通用输入输出引脚 E02，E01 和 E00 在芯片启动时的状态被片内 ROM 用于启动模式的选择。芯片启动后可以作为普通 GPIO 使用。

### 功能特性

- 所有的GPIO 引脚都能承受5V的电压
- 所有的GPIO 引脚都能配置成中断输入
- GPIO 的驱动电流在2~8mA之间
- 具有可配置上拉或下拉功能
- 每个GPIO 具备写1 置位/清除/取反功能
- 软件用GPIO 可产生最高32MHz的时钟输出@128MHz

## 4.7 定时器

在 BR8223 的处理器中，有两个定时器/计数器单元(Timer)，即 Timer 0 和 Timer 1。这些定时器可以被配置成看门狗(Watch Dog Timer, WDT)模式。

Timer 0 和 Timer 1 是两个独立的 32 位定时器/计数器。它们在使用方式上完全相同，区别就在于每个 Timer 采用不同的扩展寄存器地址和中断向量。

BR8223 中的定时器/计数器单元采用一个在处理器处于休眠模式下仍然工作的时钟，所以它们可以在处理器休眠模式下产生中断信号以便将其唤醒。

### 功能特性

- 两个独立的包含 WDT 功能的 32 位计数器/定时器
- 每个计数器/定时器都可以独立配置
- 每个计数器/定时器拥有一个独立的中断向量
- 不使用可以关断，可配置的分频计数
- 最多可以向上计数  $2^{40}$  个周期

## 4.8 USART

BR8223 芯片包含 3 个独立的 USART 模块,每个模块都内建 4 字节 FIFO 用于发送器和接收器缓存,可以配置成 SPI, I2C 或者 UART 模式, 每种模式分别叙述如下:

### 4.8.1 SPI

串行外设接口(Serial Peripheral Interface--SPI) 支持主或从模式, 数据帧格式大范围内可编程, 以支持标准的最大化。

#### 功能特性

- 兼容摩托罗拉SPI规范
- 全双工同步操作
- 支持主从SPI模式
- 16位可编程波特率产生器
- 120MHz时钟频率下, 高达30M波特率操作
- 串行时钟极性和相位可编程
- 支持MSB和LSB数据帧格式
- 3线制接口, 只支持一个主设备或者从设备
- 挂接多个从设备时可以使用GPIO 做片选脚
- 支持7位或者8位数据发送和接收
- 内嵌4字节发送FIFO和4字节接收FIFO
- 支持接收、发送中断和溢出、欠载异常中断

### 4.8.2 I2C

I2C(Inter-integrated Circuit)能够配置成主或从模式, 数据帧格式大范围内可编程, 以支持标准的最大化。

#### 功能特性

- 兼容飞利浦I2C规范V2.1
- 同步半双工操作
- 16位可编程波特率产生器
- MSB数据帧格式传输

- 支持I2C主从模式
- 支持发送和接收操作
- 支持7位地址和10位地址模式
- 不支持广播寻址模式
- 不支持START字节模式
- 不支持CBUS模式
- 支持标准模式100KHz，快速模式400KHz
- START/STOP/重复START/应答信号产生/检测
- 在主模式，只支持一个主设备操作
- 内嵌4字节发送FIFO和4字节接收FIFO
- 从模式支持自动检测设备地址，并且自动发送ACK或NACK
- 支持发送FIFO空、无应答、请求发送数据、接收数据有效、接收溢出等多种中断

### 4.8.3 UART

通用异步收发器(Universal Asynchronous Receiver Transmitter--UART)支持全双工的异步收发，数据帧格式大范围内可编程，以支持标准的最大化。

#### 功能特性

- 支持异步模式(UART)的RS-232协议
- 全双工异步操作
- 16位可编程波特率产生器
- 在96MHz时钟频率下，高达1Mbps波特率
- 相互独立的发送和接收移位寄存器
- LSB数据格式发送和接收
- 支持带1位起始位，5，6，7或8位数据位，偶/奇/无奇偶校验，1，1.5或2位停止位的帧格式
- 奇或偶校验产生，支持硬件奇偶校验检查
- 内嵌4字节发送FIFO和4字节接收FIFO
- 线断开产生和检测，中断驱动操作
- 支持发送FIFO空、接收数据有效、接收FIFO溢出、帧错误、奇偶校验错误、断开错误中断

## 4.9 USB OTG 接口

芯片集成了 2 个 USB2.0 全速 OTG 设备接口,支持 USB 全速和低速传输模式,可以做 Device/ HOST 或者 OTG 设备使用。

### 功能特性

- 完全遵照“通用串行总线规范修订版2.0”标准
- 支持 USB Device /HOST 和 OTG 模式
- 16个双向端点
- 内嵌完整的管理缓冲区的DMA控制器
- 支持控制、批量、中断及同步传输模式
- 内嵌8字节的接收FIFO和8字节的发送FIFO

## 4.10 串行 FLASH 控制器接口

串行 FLASH 控制器接口，可以用于扩展串行 Flash，存储数据和程序。串行 FLASH 控制器支持标准的 SPI 接口，可支持双通道和四通道 SPI Flash，数据传输速率可以达到标准 SPI 接口的 2 或 4 倍，支持直接从 SPI 串行 Flash 中取指运行。

### 功能特性

- 兼容各种 1，2，4 通道串行 FLASH
- 波特率可配置
- 可配置并且发送 SQI/SPI FLASH 各种指令
- 可以对 FLASH 数据加密，加密密码用户可以配置



## 4.11 CMOS 光学传感器接口

BR8223 内嵌一个专用于从片外 CMOS 光学传感器上采集图像的接口。利用该接口，用户可以快速便捷的将图像采集到片内 SRAM 中。该接口与片内 128K SRAM 间有独立的 DMA 通道，可以自动将采集的图像传送到片内 SRAM 中，实现高速的图像采集。

### 功能特性

- HSYNC 信号可以配置为高有效或者低有效
- 数据可以在 PCLK 上升或者下降沿采集
- 内嵌到片内 128K SRAM 的 DMA 控制器
- DMA 数据长度、起始位置、SRAM 中的基地址等软件可配置
- 可以支持各种 PCLK 频率，最高 72MHz@128Mhz
- 数据总线可与异步并口可以分别使用不同的 IO 端口
- 硬件支持隔列采集
- 支持中断功能

## 4.12 PWM 模块

BR8223 芯片内部集成了一个 16 位 PWM 模块,该模块内部包含 3 个 PWM 单元,总共包含 3 路 PWM 输出,可配置为独立工作或同步工作模式,每个 PWM 单元都有独立的中断向量入口。该 PWM 模块支持多达 3 路的 PWM 信号输出,可以方便的用于时钟输出、电机控制和电源控制等领域。

### 功能特性

- 包含 3 个独立的 PWM 单元,每个单元可独立配置
- 支持多达 3 路 PWM 信号输出,可配置为 3 路独立输出
- 支持 2 个或 3 个 PWM 单元同步运行,用于产生固定相位差的 PWM 信号
- 可作为 3 个 16 位定时器使用
- 3 个 PWM 单元具有独立中断向量
- 每路 PWM 都可以作为时钟输出信号使用

### 4.13 异步并行口(APP)

BR8223 芯片内嵌的异步并行接口可以用于挂接各种异步并口的设备，如 SRAM/NOR FLASH、LCD 显示器、Audio Codec、ADC/DAC 等，方便用户通过并行口扩展各种并行存储器和外围设备。

#### 功能特性

- 16 位数据线，24 位地址线，两个片选信号
- 支持各种 8 位/16 位数据宽度的异步并行设备
- 可用于模拟 NAND Flash 接口，挂接 NAND 芯片
- 每个异步器件都有独立的片选控制
- 时序可编程，以支持各种不同的器件
- 数据建立周期/有效周期/保持周期以及等待周期都可配置为 0 至 31 之间的值

## 4.14 SDRAM 控制器

除了内嵌 128KB SRAM 外，BR8223 还包含一个 SDRAM 控制器用于外扩大容量 SDRAM。使用 BR8223 的 SDRAM 控制器，用户可以像使用片内 SRAM 一样方便的读写片外 SDRAM。

### 功能特性

- 16 位数据线，12 位地址线，两个 BA 选择线
- 工作频率可以配置为系统与系统同频或者 2 分频
- Burst 长度可以配置为 1，2，4 或者 8
- CAS 延迟可配置为 2 或者 3
- 内嵌 SDRAM 初始化逻辑
- SDRAM 操作时序可配置

## 4.15 随机数发生器(RNG)

BR8223 处理器内嵌随机数发生器 (RNG)，可以产生能通过 FIPS140-2 标准测试真随机数。该模块不使用时可以通过 SCM 模块配置其进入低功耗模式，节省系统功耗。RNG 模块支持中断功能，当完成真随机的产生时可以触发一个中断。

### 功能特性

- 通过 FIPS140-2 测试
- 支持低功耗模式以减少功耗

## 5 电气参数

### 5.1 极限电气参数

表 5-1 BR8223 极限电气参数

符号	参数	条件	最小值	最大值	单位
Vdd(core)	内核电压		1.6	2.0	V
Vdd(IO)	I/O 电压		--	5.5	V
VI(pad)	PAD 输入电压		-0.5	6	V
VO(pad)	PAD 输出电压		-0.5	4.6	V
Tstg	贮藏温度		-40	+150	°C
Tamb	环境温度		-40	+125	°C
Tvj	实际温结范围		-40	+125	°C
Vesd	静电释放电压	On all pins			
		Human body model	-2000	+2000	V
		Machine mode	-200	+200	V
		Charged device model	-500	+500	V
		On corner pins			
		Charged device model	-750	+750	V

## 5.2 推荐运行参数

表 5-2 BR8223 推荐运行电气参数

符号	参数	最小值	典型值	最大值	单位
Tcase	工作温度范围	-25	--	+85	°C
Theta Jc	Junction-to-case temperature gradient	--	2	--	°C/watt
VDD33	芯片输入电源	3.0	3.3	3.6	V
VDD18	LDO18 输出	1.62	1.8	1.98	V
	LDO18 输出电流	--	150	160	mA
USB_VDD33	USB 模块 3.3V 电源输入	3.0	3.3	3.6	V
PLL_VDD18	PLL 模块 1.8V 电源输入	1.62	1.8	1.98	V
Vdd(core)	Voltage applied on core @1.8v(+10 / -10%)	1.62	1.8	1.98	V
Vdd(io)	Voltage applied on io @3.3v(+10 / -10%)	2.97	3.3	3.63	V
Vdd_usb	Voltage applied on usb @3.3v(+10 / -10%)	2.97	3.3	3.63	V

### 5.3 直流电气参数

表 5-3 BR8223 直流电气参数

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>IH</sub>	输入高电平 (Input High Voltage)	I/O	2.0	--	5.5	V
V <sub>IL</sub>	输入低电平 (Input Low Voltage)	I/O	-0.3	--	0.8	V
V <sub>T</sub>	输入阈值	I/O	1.35	1.47	1.60	V
V <sub>T+</sub>	施密特低到高触发阈值	复位引脚 RESETN	1.40	1.50	1.59	V
V <sub>T-</sub>	施密特高到低触发阈值		0.88	0.94	1.00	V
I <sub>L</sub>	IO PAD 输入漏电流		-10	--	10	μA
I <sub>OZ</sub>	IO PAD 三态输出漏电流		-10	--	10	μA
R <sub>PU</sub>	IO 上拉电阻		46	66	97	kΩ
R <sub>PD</sub>	IO 下拉电阻		43	55	97	kΩ
V <sub>OH</sub>	输出高电平 (Output High Voltage)		2.4	--	--	V
V <sub>OL</sub>	输出低电平 (Output Low Voltage)		--	--	0.4	V
I <sub>OH</sub>	高电平输出电流@ V <sub>OH</sub> =2.4V	2 mA I/O	2.9	5.9	9.0	mA
		4 mA I/O	5.8	11.7	18.0	mA
		8 mA I/O	11.6	23.5	36.0	mA
I <sub>OL</sub>	低电平输出电流@ V <sub>OL</sub> =0.4V	2 mA I/O	2.4	3.9	4.7	mA
		4 mA I/O	4.9	7.8	9.4	mA
		8 mA I/O	9.7	15.6	18.8	mA



## 5.4 工作电流

表 5-4 BR8223 工作电流

工作频率(MHZ)	工作电流(mA)
12	16
24	22
48	33
64	41
72	44
80	49
86	33
96	54
108	63
112	33
120	67
128	71
144	75
168	89
无程序	38

## 5.5 片上振荡器

表 5-5 片上振荡器电气参数

符号	参数	最小值	典型值	最大值	单位
$f_{\text{CRYSTAL}}$	振荡器支持的晶体频率	10	--	20	MHz
CL	外部负载电容	--	12	--	pF
ESR	外部晶体等效阻抗	--	--	80	$\Omega$
$P_{\text{ON}}$	工作功耗	--	60.76	--	$\mu\text{W}/\text{MHz}$

## 5.6 PLL

表 5-6 PLL 电气参数

符号	参数	条件	最小值	典型值	最大值	单位
XIN/NR <sup>(1)</sup>	基准比较频率		1	--	15	MHz
VOUT	VCO 输出时钟频率		100	--	500	MHz
PLL_COUT	PLL 输出时钟频率		25	--	500	MHz
RMS	周期抖动有效值	VCO freq = 100~500MHz ,	--	25	--	ps
PK-PK	周期抖动峰峰值	Clean Power 1.8V, 25°C	--	250	--	ps
	占空比	VCO freq = 100~500MHz	45	50	55	%
	稳定时间		--	--	0.5	ms
P <sub>NORMAL</sub>	正常模式下功耗	PLL PD= 0 , VCO freq = 500MHz, 25°C, 1.8V	--	9	--	mW
P <sub>POWER_DOWN</sub>	掉电模式下功耗	PLL PD = 1, 25°C, 1.8V	--	2	20	μW

(1) XIN 即输入晶体频率，推荐12MHz 晶体，NR 为PLL 参数，可以有系统控制模块SCM配置。详情参见SCM 模块说明文档。

## 5.7 POR

表 5-7 POR 电气参数

符号	参数	条件	最小值	典型值	最大值	单位
Vtd	上电复位触发电压		1.0	--	--	V
Vtdr	跌落触发电压		--	--	0.9	V
Icc	电流消耗		--	--	5	μA
Trst	复位延迟时间	OSCCLK = 12MHz	--	41.8 <sup>(1)</sup>	--	ms

(1) 计算公式  $Trst = 2^{18} \times t_{OSCCLK} + 20ms$ 。

## 5.8 LDO18

表 5-8 LDO18 电气参数

符号	参数	条件	最小值	典型值	最大值	单位
VDD33	输入电压		2.97	3.3	3.63	V
VDD18	输出电压		1.62	1.8	1.98	V
I <sub>out</sub>	输出电流		--	150	160	mA
I <sub>ST/BY</sub>	待机电流	空载, 输入 3.3V	--	120	--	μA

## 6 机械参数

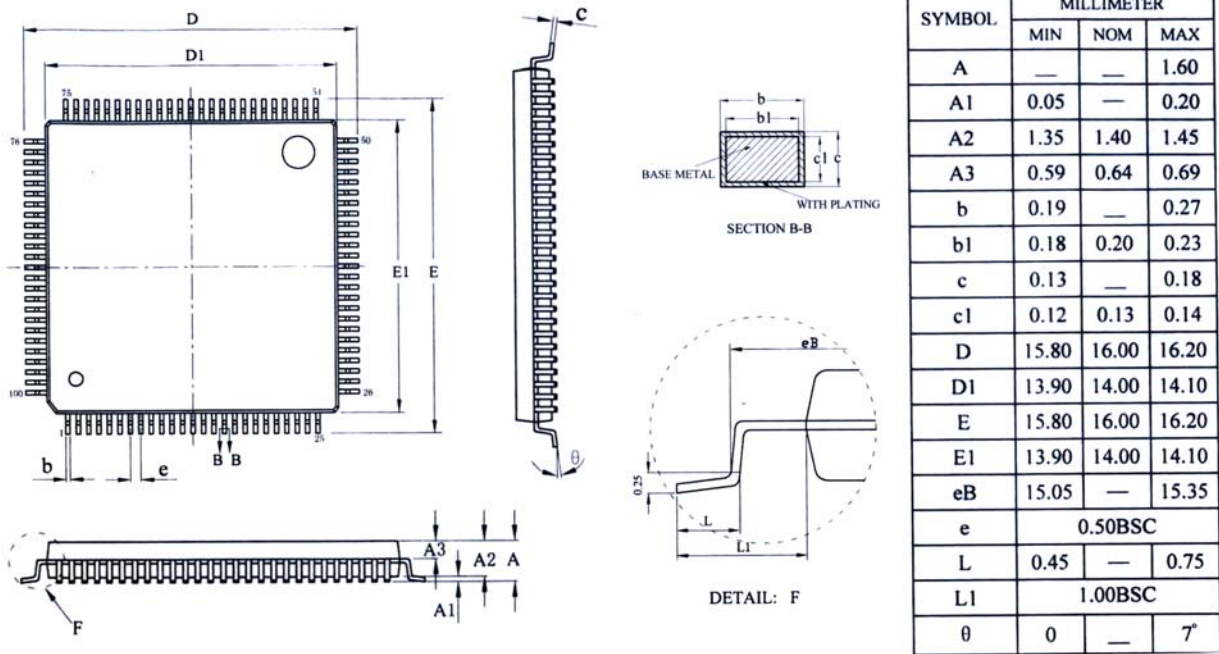


图 6-1 BR8223 封装尺寸图